

This document correspond to US 4, 986-787



Europäisches Patentamt  
European Patent Office  
Office européen des brevets

BEST AVAILABLE COPY

⑪ Numéro de publication: **0 362 017 A1**

⑫

## DEMANDE DE BREVET EUROPEEN

⑳ Numéro de dépôt: **89402538.6**

⑤① Int. Cl.<sup>5</sup>: **H01J 21/10 , H01J 31/12 ,  
H01J 9/02 , H01J 1/30**

㉔ Date de dépôt: **15.09.89**

㉓ Priorité: **23.09.88 FR 8812470**

㉔ Date de publication de la demande:  
**04.04.90 Bulletin 90/14**

㉔ Etats contractants désignés:  
**DE GB IT NL SE**

㉔ Demandeur: **THOMSON-CSF**  
**51, Esplanade du Général de Gaulle**  
**F-92800 Puteaux(FR)**

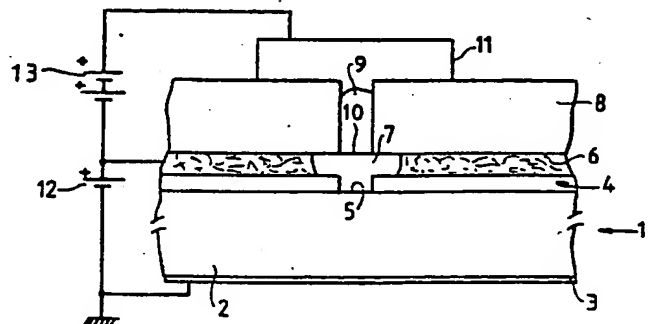
㉔ Inventeur: **Olivier, Jean**  
**THOMSON-CSF SCPI Cédex 67**  
**F-92045 Paris la Défense(FR)**  
Inventeur: **Pribat, Didier**  
**THOMSON-CSF SCPI Cédex 67**  
**F-92045 Paris la Défense(FR)**

㉔ Mandataire: **Chaverneff, Vladimir et al**  
**THOMSON-CSF SCPI**  
**F-92045 PARIS LA DEFENSE CEDEX 67(FR)**

㉔ Composant tel que diode, triode ou dispositif d'affichage cathodoluminescent plat et intégré, et procédé de fabrication.

㉔ Le microcomposant de l'invention comporte un substrat Si de type , (2) oxydé en surface (4), au moins une cathode à surface césinée en Si monocristallin de type n (7) étant formée sur ce substrat. Elle est entourée de Si de type p monocristallin (6). Une couche de SiO<sub>2</sub> (8) formée sur le Si de type p comporte une ouverture (9) face à la cathode. Cette ouverture est autoscellée sous vide par le matériau d'anode (11).

FIG. 1



EP 0 362 017 A1

## COMPOSANT TEL QUE DIODE, TRIODE OU DISPOSITIF D'AFFICHAGE CATHODOLUMINESCENT PLAT ET INTEGRE, ET PROCEDE DE FABRICATION

La présente invention se rapporte à un composant tel qu'une diode, une triode, ou un dispositif d'affichage cathodoluminescent plat et intégré, et à un procédé de fabrication d'un tel dispositif.

On trouve dans la littérature récente un certain nombre de publications relatives à des dispositifs d'affichage cathodoluminescents. En dehors du canon à électrons classique excitant un luminophore dans un tube à vide du type "tube de télévision", de nouvelles approches voient le jour. Ainsi, une tendance actuellement observée consiste en l'utilisation d'arrangements matriciels de microcanaons dont le fonctionnement est multiplexé à l'aide d'une électronique adaptée. Un exemple de réalisation d'un tel dispositif est donné dans un article de R. Meyer et coll. intitulé "Microtips fluorescent display" et présenté au cours de la conférence "Japan Display 1986". Les microcanaons sont formés de pointes en molybdène, et l'extraction des électrons s'effectue par effet de champ entre la pointe et une grille située à hauteur du sommet de la pointe. Une anode constituée du matériau luminophore est positionnée à une distance d'environ 100  $\mu$ m plan de la grille.

On peut envisager une structure similaire, mais utilisant pour la réalisation des microcanaons, non plus une matrice de micropointes à effet de champ, mais une matrice de microcathodes froides réalisées sur semiconducteur (Si par exemple). Ce type de cathode utilise une surface semiconductrice traitée de façon à présenter une affinité électronique négative. En ce qui concerne le Si, le traitement superficiel permettant d'obtenir cette propriété, consiste à adsorber successivement sur une surface (100) reconstruite par traitement thermique, une monocouche de césium et une monocouche d'oxygène. On trouvera plus de détails sur cette technique de césiation dans les articles de B. Goldstein (Surf. Sci. 47, 1975, p 143) et de J.D. Lévine (Surf. Sci 34, 1973, p 90).

Dans les conditions de césiation du Si de type p ci-dessus décrites, et du fait :

a) de l'abaissement considérable du niveau du vide,

b) de la courbure des bandes de conduction à la surface, les électrons situés au minimum de la bande de conduction en volume ont une énergie supérieure à celle du niveau du vide : on obtient la situation dite d'affinité électronique "négative".

Si l'on dispose la couche de Silicium de type p ainsi traitée sur un substrat de type n, et si l'on polarise en direct la jonction ainsi obtenue, on injecte des électrons qui sont émis dans le vide après traversée de la couche de type p.

La réalisation d'une telle cathode froide à été décrite par E.S. Kohn (IEEE Transactions on Electron Devices, ED-20, N° 3, 1973, p 321).

E.S. Kohn a utilisé ce type de cathode pour reproduire sur un écran supportant un luminophore et disposé à 0.5 mm du plan de cathode, des caractères gravés dans du silicium et traités selon la description précédente en affinité électronique négative.

L'inconvénient de tous ces dispositifs (dispositifs à émission par effet de champ ou par cathode froide silicium) est qu'ils ne peuvent fonctionner que sous ultra-vide. Ceci est particulièrement vrai pour les surfaces de silicium césiées, où la moindre adsorption d'atomes étrangers est susceptible d'élever la position énergétique du niveau du vide, affectant ainsi de façon dramatique les propriétés d'émission de la surface.

La présente invention a pour objet un composant tel qu'une diode ou un dispositif d'affichage du type à cathode froide en semiconducteur de type p traité de façon à présenter une affinité négative, ne nécessitant pas de créer un vide poussé dans un volume relativement grand et qui soit fabricable automatiquement en série, et d'un prix de revient raisonnable.

La présente invention a également pour objet un procédé de fabrication d'un tel composant.

Le composant conforme à l'invention comporte au moins un microvolume renfermant une microcathode et autoscélé sous vide par le matériau d'anode.

Le procédé de fabrication de composant conforme à l'invention, composant du type à cathode froide formée sur un substrat en matériau semiconducteur susceptible d'être amené en état d'affinité électronique négative, ce procédé consiste, lorsque ce matériau semiconducteur est du silicium, à :

- oxyder une face d'un substrat de silicium de type n, ce substrat étant au moins partiellement monocristallin,

- graver dans la silice de cette face au moins une ouverture,

- déposer du silicium de type p sur la silice et sur les parties du substrat mises à nu de façon à avoir une surface bien plane après dépôt, ce silicium étant monocristallin dans les ouvertures et polycristallin sur la silice,

- déposer une couche de matériau diélectrique, - graver dans cette dernière couche des ouvertures sensiblement dans l'axe des ouvertures précitées jusqu'à atteindre la couche de silicium de type p, - effectuer "in situ" un nettoyage des surfaces de

la couche de silicium de type p mises à nu,  
 - effectuer un traitement amenant les surfaces nettoyées, en état d'affinité électronique négative,  
 - évaporer sous vide poussé et en incidence rasant une couche de matériau d'anode, le substrat étant animé d'un mouvement de rotation autour d'un axe perpendiculaire à la surface de ce substrat, jusqu'au scellement de la microcavité ainsi réalisée.

La présente invention sera mieux comprise à la lecture de la description détaillée de deux modes de réalisation, pris comme exemples non limitatifs et illustrés par le dessin annexé, sur lequel :

- la figure 1 est une vue schématique en coupe d'un microcomposant conforme à l'invention,

- les figures 2, 3A et 4 à 8 sont des vues schématiques en coupe illustrant les différentes étapes successives d'un premier mode de réalisation de l'invention, et

- les figures 3B et 9 sont des vues schématiques en coupe montrant des étapes particulières d'un second mode de réalisation de l'invention.

L'invention est décrite ci-dessous en référence à la réalisation d'un micropoint lumineux et de panneaux d'affichage comportant un très grand nombre de tels micropoints lumineux, mais il est bien entendu qu'elle n'est pas limitée à un tel composant, et qu'elle peut être mise en oeuvre pour la réalisation d'autres composants à cathode froide tels que des diodes ou des triodes (les triodes étant prises au sens de "composants à trois électrodes").

On a représenté en figure 1 un micropoint lumineux 1 conforme à l'invention. Ce composant 1 comporte un substrat 2 qui est dans le cas présent en silicium de type n dont la face inférieure comporte un revêtement 3 en matériau bon conducteur électrique (contact ohmique), permettant de relier à un conducteur de sortie le substrat 2 constituant l'une des électrodes du composant 1. Selon un autre mode de réalisation, non décrit en détail ici, le substrat est en AsGa. L'homme de l'art pourra facilement adapter les étapes du procédé décrit ci-dessous à ce matériau AsGa, en se reportant à la Demande de Brevet français 88 04437.

La face supérieure du substrat 2 est recouverte d'une couche 4 de silice ( $\text{SiO}_2$ ) ou de tout autre diélectrique ( $\text{Si}_3\text{N}_4$ ,  $\text{Al}_2\text{O}_3$ ...), à l'exception d'une ouverture 5. Le substrat 2 doit être monocristallin au moins au niveau de l'ouverture 5. La couche 4 et la surface du substrat 2 constituant l'ouverture 5 sont recouvertes d'une couche de silicium 6 de type p. Dans la zone de l'ouverture 5, la couche 6 a, dans un volume 7, une structure monocristalline. Ce volume 7 a à peu près la forme d'un microchampignon dont le pied correspondrait à l'ouverture 5. Le reste de la couche 6 déposée sur la

couche 4 de diélectrique a une structure polycristalline. La raison de cette différence de structure de la couche 6 apparaîtra ci-dessous dans la description du procédé de fabrication du micropoint lumineux.

La couche 6 est revêtue d'une couche 8 de silice ou d'un autre diélectrique, à l'exception d'une ouverture 9 coaxiale à l'ouverture 5 et de même diamètre que cette dernière. La surface 10 de la couche 6 non recouverte par la couche 8 est traitée de façon à présenter une affinité électronique négative, par exemple par césiation. Une couche 11 de matériau d'anode recouvre largement l'ouverture 9 en la scellant, un vide poussé (de l'ordre de  $10^{-10}$  Torr) régnant dans le microvolume déterminé par l'ouverture 9 scellée à une extrémité par la couche 6, et à l'autre par la couche 11. Dans le cas où le composant est, comme précisé ci-dessus, un micropoint lumineux, la couche 11 est en matériau luminophore, tel que de l'oxyde de zinc. Dans le cas où le composant est une diode ou une triode, la couche 11 est simplement un matériau électriquement conducteur. Les couches 3, 6 et 11 sont reliées à des sources de tension 12, 13 convenablement polarisées.

Le composant 1 peut fonctionner à l'atmosphère ambiante puisque le vide est maintenu dans le microvolume grâce au scellement effectué par le matériau d'anode.

On va décrire maintenant un procédé de réalisation d'un composant conforme à l'invention.

#### Etape 1 (figure 2)

On part d'une plaquette 14 de matériau semi-conducteur standard de type n. De préférence, ce matériau est par exemple du silicium (100) ou (110) ou (111), car ce matériau existe sous forme de substrats de grandes dimensions. On oxyde la surface de la plaquette 14 jusqu'à obtention d'une couche isolante 15 de silice ayant par exemple une épaisseur d'environ 1 000 à 1 500 Å. On grave des ouvertures 16 dans la silice à l'aide d'une technique lithographique appropriée, par exemple optique ou électronique. En vue de dessus, ces ouvertures 16 peuvent être de forme quelconque : circulaire, carrée, rectangulaire, oblongue... Les dimensions de cette forme vue de dessus sont de l'ordre du micromètre. Si la forme vue de dessus est circulaire, son diamètre sera de l'ordre du micromètre.

Dans le cas de composants cathodoluminescents, un ou plusieurs tels composants disposés côte à côte servent à définir un pixel lumineux.

#### Etape 2 (figures 3A et 3B)

Les surfaces de la plaquette 14 précédemment mises à nu par réalisation des ouvertures 16 dans la silice, sont recouvertes de silicium monocristallin (plan cristallin 100) de type p, par épitaxie en phase vapeur (en anglais : "Chemical Vapor Deposition"). Il est important que la surface du dépôt de silicium soit bien plane. C'est cette surface qui sera amenée en l'état d'affinité électronique négative au cours d'une étape ultérieure (étape 5).

Pour réaliser ce dépôt de silicium, l'invention prévoit deux modes de réalisation caractérisés par des conditions différentes de dépôt.

Le premier mode, illustré par la figure 3A, consiste à effectuer un cracking des molécules du mélange  $\text{SiH}_4 + \text{H}_2 + \text{B}_2\text{H}_6$  à une température d'environ 900 à 1060 °C et à la pression atmosphérique (méthode dite "APCVD" avec AP "atmospheric pressure", et CVD déjà explicité ci-dessus). Le gaz  $\text{B}_2\text{H}_6$  permet d'obtenir le dopage de type p du dépôt de silicium. La croissance du dépôt 17 sur le substrat 14 laissé libre par les ouvertures 16 est monocristalline, de même orientation (plan 100) que le substrat 14, donc rendant le dépôt 17 apte à être amené en l'état d'affinité électronique négative. Par contre, le dépôt 17A de silicium est polycristallin sur la silice.

La vitesse de croissance du dépôt dans une direction perpendiculaire au plan de surface du substrat étant plus importante sur les plages monocristallines 16 que sur la silice 15, on arrive après un certain temps, qui dépend de l'épaisseur de la couche de silice 15 de départ, à un dépôt d'épaisseur pratiquement uniforme sur la totalité de la plaquette. Le dépôt de silicium (17+17A) peut alors être qualifié de "planarisé".

Lorsque l'on forme comme représenté en figure 3A, plusieurs composants identiques ou similaires sur un même substrat par exemple en vue de la réalisation d'un réseau matriciel, on peut donner aux dépôts (17+17A) des formes de bandes parallèles sur l'axe desquelles les dépôts 17 sont alignés et, de préférence, régulièrement espacés. Ces bandes peuvent être obtenues par gravure de la couche 17A jusqu'à la couche 15. Cette gravure forme dans la couche 17A des saignées parallèles aux axes 17B sur lesquels sont alignées des colonnes de dépôts 17, ces saignées étant à chaque fois équidistantes de deux axes consécutifs de colonnes de dépôts 17. Ces saignées sont ensuite remplies de silice 17C en utilisant une méthode de dépôt classique type LTO ou HTO (LTO : Low Temperature Oxide ; HTO : High Temperature Oxide) en association avec une technique de "lift-off" permettant d'éliminer facilement le dépôt de silice sur les plages 17 et 17A. Une autre méthode consiste à déposer une couche uniforme de nitrure de silicium ( $\text{Si}_3\text{N}_4$ ), à graver dans cette couche des bandes telles que 17C et à pratiquer ensuite une

oxydation localisée du silicium sous-jacent. Le nitrure de silicium est ensuite éliminé par attaque chimique sélective (procédé de type LOCOS).

Le second mode de réalisation, illustré par la figure 3B est basé sur la technique de l'épitaxie sélective, et est réalisé à la pression atmosphérique (APCVD) ou bien en pression réduite (RP CVD, avec RP pour "reduced pressure") à une température comprise entre 900 et 1 060 °C environ. Il fait appel à un mélange gazeux  $\text{SiH}_4 + \text{HCl} + \text{H}_2 + \text{B}_2\text{H}_6$  qui permet de travailler à proximité de l'équilibre thermodynamique.

La sélectivité du dépôt est régie par un mécanisme de nucléation sélective grâce auquel la croissance du silicium est possible sur des surfaces à faible barrière de nucléation, telles que le silicium (100), et interdite sur une surface étrangère telle que la silice. Pour plus de détails on se réfèrera à l'article de J.O. BORLAND et C.I. DROWLEY paru dans "Solid State Technology" d'Août 1985, page 141, ainsi qu'à l'article de L. KARAPIPERIS et collaborateurs paru dans "Proceedings of the 18<sup>th</sup> Conference on Solid State Devices and Materials", Tokyo 1986, page 713.

L'épitaxie est pratiquée sur le substrat 14 recouvert de la couche 15 et comportant les trous 16, tel que représenté en figure 2. Lorsque les trous 16 sont remplis de silicium 18 de type p monocristallin, on coupe l'arrivée du gaz HCl, ce qui supprime la sélectivité et permet le dépôt de silicium également sur la couche 15 mais polycristallin, le dépôt étant alors uniforme en épaisseur sur toute la surface de la plaquette (surfaces 18 et 15). L'épaisseur totale du dépôt est de l'ordre de 1 micromètre. Le dépôt 19 sur les surfaces 18 est du silicium p monocristallin, et déborde légèrement de ces surfaces, tandis que le dépôt 20 sur les surfaces 15 restantes est du silicium p polycristallin.

Selon une variante, non représentée, du premier et du second mode de réalisation, on minimise l'épaisseur des couches 17, 18 et 19 de silicium p monocristallin. On obtient alors des composants à fonctionnement plus rapide du fait que leur temps de réponse est principalement fonction du temps de transfert des porteurs minoritaires dans la zone de silicium de type p (couches 17, 18 et 19).

Le procédé de réalisation de cette variante selon le second mode de réalisation est le suivant. On remplit de façon sélective les ouvertures pratiquées dans la silice 15 avec du silicium monocristallin de type n, sans en déposer sur la silice. On se place donc dans les conditions d'épitaxie sélective, et on utilise des flux gazeux comportant par exemple  $\text{SiH}_4 + \text{HCl} + \text{H}_2 + \text{PH}_3$ . Le composant  $\text{PH}_3$  sert au dopage de type n. On effectue ensuite le dépôt de silicium p, de façon non sélective cette fois, ce silicium étant monocristallin sur la couche

de silicium n et polycristallin sur la couche de silice, en utilisant un mélange gazeux  $\text{SiH}_4 + \text{B}_2\text{H}_6$ .

La couche de silicium p ainsi obtenue peut avoir une épaisseur comprise entre 1 000 et 5 000 Å environ. Ce procédé permet en outre de réaliser, par oxydation localisée (par exemple en faisant appel au procédé connu sous la dénomination de "LOCOS") des bandes de silicium p (formant des colonnes d'un dispositif d'affichage matriciel semblable à celui représenté en figure 9) isolées les unes des autres.

#### Etape 3 (figure 4)

On dépose sur l'une ou l'autre des structures des figures 3A et 3B une couche diélectrique 21 de silice ( $\text{SiO}_2$ ) par exemple (ceci n'étant pas limitatif) ayant une épaisseur comprise entre 2 et 10 micromètres. Pour simplifier le dessin, on a représenté sur la figure 4 la structure de la figure 3A avec le substrat 14 et les couches 15, 17 et 17A, mais il est bien entendu qu'on aurait aussi bien pu y représenter la structure de la figure 3B avec le substrat 14 et les couches 15, 18, 19 et 20. Les figures 5 à 8 décrites ci-dessous comportent également la structure de la figure 3A, seule la figure 9 comporte la structure de la figure 3B. La couche de silice (HTO) 21 est réalisée, de préférence, par procédé à haute température (HTO), par exemple par pyrolyse d'un mélange gazeux  $\text{SiH}_2\text{Cl}_2 + \text{N}_2\text{O}$  à une température d'au moins 250 °C, et avantageusement, comprise entre 850 et 900 °C environ. La couche de silice ainsi obtenue présente de bonnes propriétés mécaniques et électriques.

Au lieu de silice, on peut former la couche 21 en matériaux diélectriques tels que  $\text{Si}_3\text{N}_4$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{ZrO}_2$ , etc., en utilisant des techniques de dépôt appropriées.

#### Etape 4 (figure 5)

On grave par gravure ionique réactive ou RIE (de l'anglais Reactive Ion Etching) dans la couche diélectrique 21 des ouvertures 22 coaxiales aux couches 17 ou 19. On notera que du fait du débordement de la "tête" monocristalline du "champignon 17" par rapport à son "pied", ou de la couche 19 par rapport à la couche 18, le centrage des ouvertures 22, pratiquées dans la couche 21, par rapport aux plots monocristallins ("tête" du "champignon" ou couche 19) n'est pas critique.

#### Etape 5 (figure 6)

On effectue "in situ" un nettoyage préalable de la surface des plots de silicium de type p mis à nu lors de la gravure des ouvertures 22 (étape 4). Ce nettoyage consiste essentiellement en l'élimination de l'oxyde de silicium natif sur cette surface des plots, par chauffage à 1 000 °C environ de la plaquette dans une enceinte sous ultra-vide (environ  $10^{-10}$  Torr), dans laquelle on réalise ensuite l'activation de ladite surface des plots par césiation. La technique de césiation peut être l'une des techniques connues en soi d'après les articles cités au préambule.

#### Etape 6 (figure 7)

Dans la même enceinte sous ultra-vide, on évapore en incidence rasante (angle d'incidence  $\theta$  inférieur à 15°) une couche 23 de matériau luminaire, par exemple du ZnO, le substrat 14 étant animé d'un mouvement de rotation autour d'un axe 24 perpendiculaire à la surface supérieure du substrat 14. On arrête l'évaporation lorsque l'épaisseur de la couche 23 est suffisante pour sceller les ouvertures 22. On emprisonne ainsi les cathodes (surfaces césiées des couches 17 ou 19) dans des micro-cavités.

De façon avantageuse, on peut effectuer un recuit "in situ" du composant ainsi réalisé afin d'améliorer les propriétés mécaniques de la couche 23.

#### Etape 7 (figure 8)

Cette étape est mise en oeuvre lorsque l'on veut réaliser un panneau d'affichage matriciel, c'est-à-dire un panneau comportant un grand nombre d'éléments d'affichage cathodoluminescents disposés en rangées et colonnes. Ces éléments étant de très petites dimensions, on peut en grouper plusieurs pour former un seul point lumineux (appelé "pixel"). Dans ce cas, les couches 17A sont réalisées en bandes parallèles entre elles (voir aussi figure 3A) pour former par exemple les colonnes du dispositif matriciel. L'étape 7 consiste alors à réaliser des bandes 25 parallèles entre elles de matériau luminaire par gravure de la couche 23 réalisée lors de l'étape 6. Ces bandes 25 de matériau luminaire sont perpendiculaires aux bandes 17A et forment, pour l'exemple précité, les rangées du dispositif matriciel. Bien entendu, on peut également réaliser un dispositif matriciel à partir du mode de réalisation de la figure 3B en formant des bandes parallèles entre elles dans la couche de silicium p (19, 20), puis en formant des bandes dans le matériau luminaire de la même façon que pour le mode de réalisation de la figure 8. On

obtient alors le dispositif représenté en figure 9.

Dans le mode de réalisation de la figure 8, de façon à diminuer les résistances d'accès des bandes de matériau luminophore, on peut revêtir la surface supérieure de ces bandes 25 d'une couche mince transparente 26 en matériau bon conducteur électrique, avantageusement de l'oxyde d'indium et d'étain (ITO).

On obtient un point lumineux en appliquant d'une part une tension entre une colonne et le substrat 14, et d'autre part une tension entre une ligne et le substrat 14. Bien entendu, comme précisé ci-dessus, ce point lumineux peut être défini par plusieurs dispositifs cathodoluminescents élémentaires : il suffit alors que plusieurs de ces dispositifs élémentaires soient formés sur la largeur d'une ligne et/ou d'une colonne. On peut ainsi donner n'importe quelle forme désirée à ce point lumineux.

Le dispositif d'affichage matriciel représenté en figure 9 est réalisé, après l'étape 2 (mode de réalisation de la figure 3B), selon les étapes 3 à 6 décrites ci-dessus pour le mode de réalisation de la figure 3A. Ces étapes ont pour résultat la formation de la couche de silice 27, dans laquelle sont gravées des cavités 28. Les surfaces mises à nu de silicium p monocristallin, nettoyées et césiées sont référencées 29. La couche de matériau luminophore est référencée 30. L'étape 7, pour ce dispositif de la figure 9, consiste également à former des bandes de luminophores. Ces bandes peuvent, comme décrit ci-dessus, être formées par gravure de la couche 30 de matériau luminophore. Toutefois, si ce matériau luminophore est suffisamment résistif, la gravure des bandes, afin de les isoler les unes des autres, n'est pas nécessaire. La détermination des lignes se fait, alors grâce au dépôt d'une couche mince et transparente, par exemple d'oxyde d'indium et d'étain, sous forme de bandes 31 parallèles les unes aux autres (et perpendiculaires aux colonnes).

Finalement, on peut déposer sur le dispositif ainsi réalisé une couche 32 (recouvrant au moins sa face supérieure) de matériau passivant translucide (par exemple du verre au phosphosilicate) de façon à isoler ce dispositif des agressions extérieures. Cette couche 32 n'a été représentée que pour le mode de réalisation de la figure 9, mais il est bien entendu qu'elle peut également être déposée sur le dispositif de la figure 8.

Le composant dont le procédé de fabrication a été décrit ci-dessus est un dispositif de visualisation. L'invention n'est cependant pas limitée à un tel type de composant. Si l'on remplace la couche de matériau luminophore par une couche de matériau bon conducteur électrique, tel que du molybdène, et que l'on individualise chaque anode, on obtient des microtubes de type triode, que l'on peut utiliser pour réaliser des circuits intégrés, cha-

que microtube se comportant comme un transistor bipolaire.

De façon avantageuse, on peut déposer une couche de matériau qui produira un effet de "getter" en "sandwich" dans la couche de silice 21 ou 27. Le matériau de "getter" peut par exemple être un des éléments suivants : Ti, Ta, Zr, Ca. La couche de silice est alors déposée en deux étapes séparées par une étape de dépôt de ce matériau de "getter". Ceci est valable aussi bien pour les composants de visualisation que pour les microtubes.

## 15 Revendications

1. Composant tel que diode, triode ou dispositif d'affichage cathodoluminescent, plat et intégré, du type à cathode froide formée sur un substrat en matériau semiconducteur (14) susceptible d'être amené en état d'affinité électronique négative, caractérisé par le fait qu'il comporte au moins un microvolume (22,28) renfermant une microcathode et autoscellé sous vide par le matériau d'anode (23,25,30).

2. Composant selon la revendication 1, réalisé en tant que dispositif d'affichage, caractérisé par le fait que le matériau d'anode est un matériau luminophore.

3. Composant selon la revendication 1 ou 2, caractérisé par le fait que son substrat est en silicium (14), de type n.

4. Composant selon les revendications 1 ou 2, caractérisé par le fait que son substrat est en arséniure de gallium de type n.

5. Composant selon l'une des revendications précédentes, caractérisé par le fait que la surface en état d'affinité électronique négative est la surface césiée d'au moins une partie de la face supérieure d'une couche de substrat au moins partiellement monocristallin, de type p (17, 19).

6. Composant selon la revendication 5, caractérisé par le fait que la couche de silicium ou d'arséniure de gallium monocristallin de type p a une forme de "champignon" (17) dont le "pied" en contact avec le substrat est entouré de diélectrique (15) sur lequel repose le rebord du "chapeau" de ce champignon.

7. Composant selon la revendication 5, caractérisé par le fait que la couche de silicium monocristallin a une forme de pastille (19) dont la face inférieure a une partie centrale en contact avec une excroissance (18) du substrat et une partie périphérique en contact avec une couche de diélectrique (15) entourant ladite excroissance.

8. Composant selon l'une des revendications 6 ou 7, caractérisé par le fait que la couche de silicium p monocristallin est coplanaire avec une

couche de silicium p polycristallin (20) entourant latéralement le silicium p monocristallin.

9. Composant selon la revendication 8, caractérisé par le fait qu'une couche de matériau diélectrique (21,27) sépare la couche de silicium p mono et polycristallin de la couche de matériau d'anode, les parois latérales du microvolume étant constituées par ce matériau diélectrique.

10. Procédé de fabrication d'un composant plat et intégré du type à cathode froide formée sur un substrat en matériau semiconducteur susceptible d'être amené en état d'affinité électronique négative, mis en oeuvre pour un substrat en silicium, caractérisé par le fait qu'il consiste à :

- oxyder une face d'un substrat de silicium de type n, au moins partiellement monocristallin,
- graver dans la silice de cette face au moins une ouverture,
- déposer du silicium de type p sur la silice et sur les parties du substrat mises à nu de façon à avoir une surface bien plane après dépôt, ce silicium étant monocristallin dans les ouvertures et polycristallin sur la silice,
- déposer une couche de matériau diélectrique,
- graver dans cette dernière couche des ouvertures sensiblement dans l'axe des ouvertures précitées jusqu'à atteindre la couche de silicium de type p,
- effectuer "in situ" un nettoyage des surfaces de la couche de silicium de type p mises à nu,
- effectuer un traitement amenant les surfaces nettoyées en état d'affinité électronique négative,
- évaporer sous vide poussé et en incidence rasante une couche de matériau d'anode, le substrat étant animé d'un mouvement de rotation autour d'un axe perpendiculaire à la surface de ce substrat, jusqu'au scellement de la microcavité ainsi réalisée.

11. Procédé selon la revendication 10, caractérisé par le fait que la couche de silicium de type p est déposée par épitaxie en phase vapeur.

12. Procédé selon la revendication 11, caractérisé par le fait que le dépôt est fait par cracking de molécules d'un mélange gazeux  $\text{SiH}_4 + \text{H}_2 + \text{B}_2\text{H}_6$  à pression atmosphérique à une température d'environ 900 à 1 060 °C.

13. Procédé selon la revendication 11, caractérisé par le fait que le dépôt est fait par épitaxie sélective en utilisant un mélange gazeux  $\text{SiH}_4 + \text{HCl} + \text{H}_2 + \text{B}_2\text{H}_6$  à pression atmosphérique ou à pression réduite à une température comprise entre 900 et 1 060 °C environ.

14. Procédé selon la revendication 13, caractérisé par le fait que lorsque les ouvertures dans la silice sont remplies, on coupe l'arrivée du gaz HCl de façon à obtenir un dépôt uniforme.

15. Procédé selon la revendication 14, caractérisé par le fait que l'épaisseur totale du dépôt de silicium p est d'environ 1 micromètre.

16. Procédé selon la revendication 11, caractérisé par le fait que l'on remplit d'abord les ouvertures pratiquées dans la silice avec du silicium monocristallin de type n, sans en déposer sur la silice, puis on effectue le dépôt de silicium de type p.

17. Procédé selon la revendication 16, caractérisé par le fait que le dépôt de silicium monocristallin de type n est réalisé en utilisant un mélange gazeux  $\text{SiH}_4 + \text{HCl} + \text{PH}_3$ .

18. Procédé selon la revendication 16 ou 17, caractérisé par le fait que le dépôt de silicium de type p est réalisé en utilisant un mélange gazeux  $\text{SiH}_4 + \text{B}_2\text{H}_6$ .

19. Procédé selon l'une des revendications 16 à 18, caractérisé par le fait que la couche de silicium de type p a une épaisseur comprise entre 1 000 et 5 000 Å environ.

20. Procédé selon l'une des revendications 10 à 17, caractérisé par le fait que le dépôt de matériau diélectrique est fait à une température comprise entre 250 et 900 °C environ.

21. Procédé selon la revendication 20, caractérisé par le fait que le matériau diélectrique est de la silice, le dépôt de silice étant fait par pyrolyse de  $\text{SiH}_2\text{Cl}_2 + \text{N}_2\text{O}$  à une température comprise entre 850 et 900 °C environ.

22. Procédé selon l'une des revendications 10 à 20, caractérisé par le fait que le matériau diélectrique est l'un des suivants :  $\text{Si}_3\text{N}_4$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{ZrO}_2$ .

23. Procédé selon l'une des revendications 10 à 22, caractérisé par le fait que le nettoyage des surfaces de silicium mises à nu lors de la réalisation des ouvertures dans le matériau diélectrique est effectué dans une enceinte sous ultra-vide à une température d'environ 1 000 °C.

24. Procédé selon la revendication 23, caractérisé par le fait que l'état d'affinité électronique négative des surfaces mises à nu et nettoyées est obtenu par césiation sous ultra-vide.

25. Procédé selon l'une des revendications 10 à 24, mis en oeuvre pour un composant cathodoluminescent, caractérisé par le fait que le matériau d'anode est en matériau luminophore.

26. Procédé selon la revendication 25, caractérisé par le fait que le matériau luminophore est de l'oxyde de zinc.

27. Procédé selon la revendication 25 ou 26, caractérisé par le fait que l'on effectue un recuit "in situ" des composants de manière à améliorer les propriétés mécaniques de l'anode.

28. Procédé selon l'une des revendications 25 à 27, pour réaliser un dispositif d'affichage matriciel, caractérisé par le fait que la couche de silicium p est formée en bandes parallèles entre elles, et que l'on grave dans la couche de matériau luminophore des bandes parallèles entre elles et perpendiculaires aux bandes du silicium p.

29. Procédé selon l'une des revendications 25 à 27, pour réaliser un dispositif d'affichage matriciel, caractérisé par le fait que la couche de silicium p est formée en bandes parallèles entre elles et que l'on dépose sur la couche de matériau luminophore résistif des bandes parallèles entre elles d'un matériau conducteur transparent, ces bandes étant perpendiculaires aux bandes de silicium p.

5

30. Procédé selon la revendication 28, caractérisé par le fait que l'on dépose sur les bandes de matériau luminophore une mince couche de matériau conducteur transparent.

10

31. Procédé selon l'une des revendications 29 ou 30, caractérisé par le fait que le matériau conducteur transparent est de l'oxyde d'indium et d'étain.

15

32. Procédé selon l'une des revendications 10 à 31, caractérisé par le fait que l'on dépose sur le composant un matériau passivant translucide.

20

33. Procédé selon la revendication 32, caractérisé par le fait que le matériau passivant translucide est un verre au phosphosilicate.

34. Procédé selon l'une des revendications 9 à 29, caractérisé par le fait qu'on réalise le dépôt de la couche de matériau diélectrique (21,27) en deux étapes de dépôt séparées à chaque fois par une étape de dépôt d'une couche d'un matériau qui produira un effet getter.

25

30

35

40

45

50

55



FIG. 1

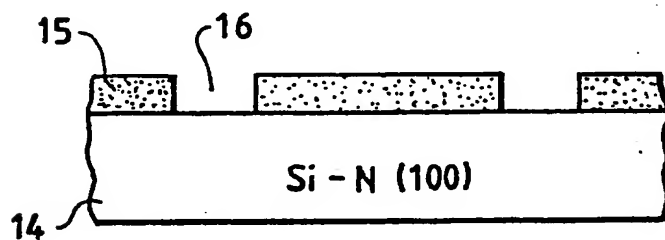
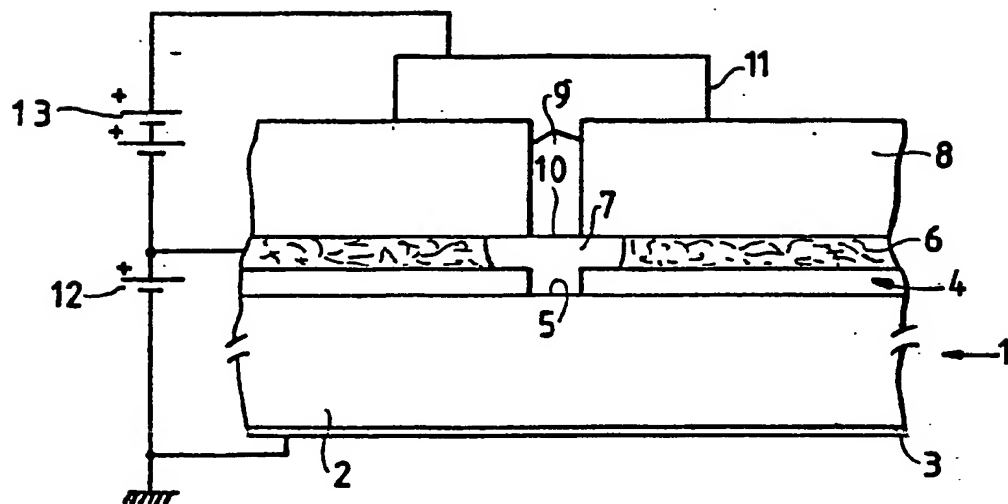


FIG. 2

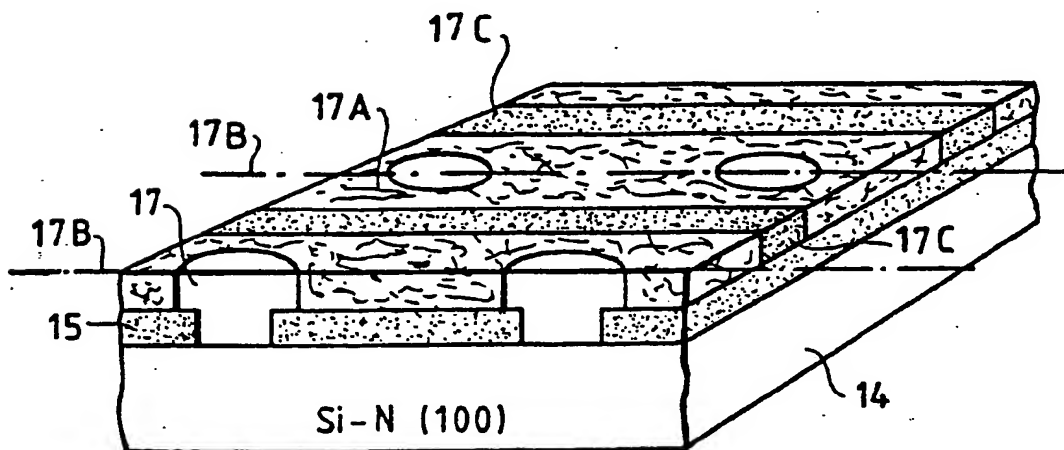


FIG. 3a

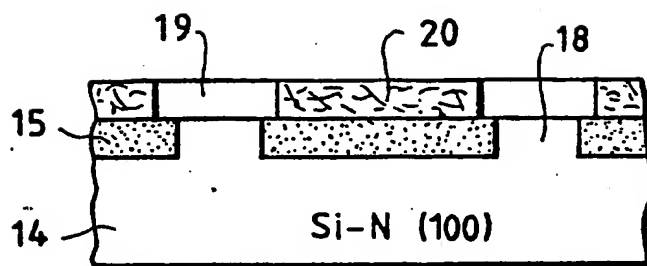


FIG. 3b

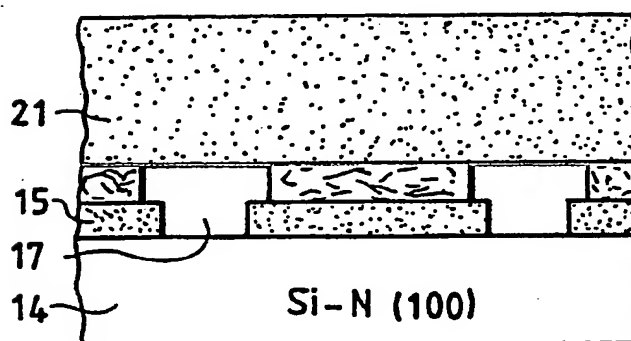


FIG. 4

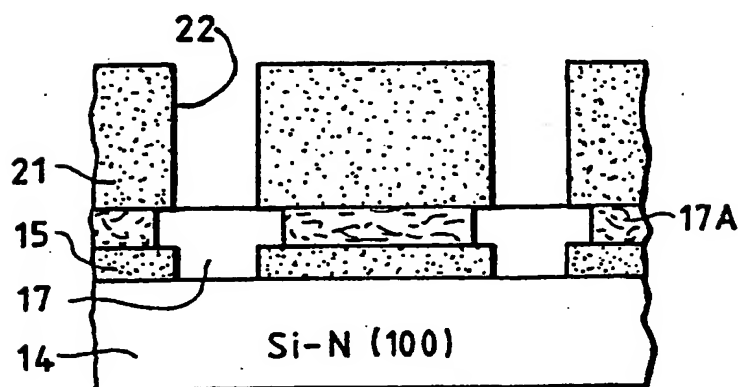


FIG. 5

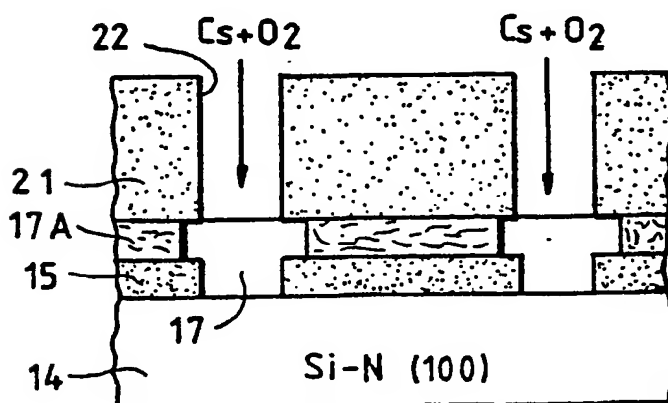


FIG. 6

FIG. 7

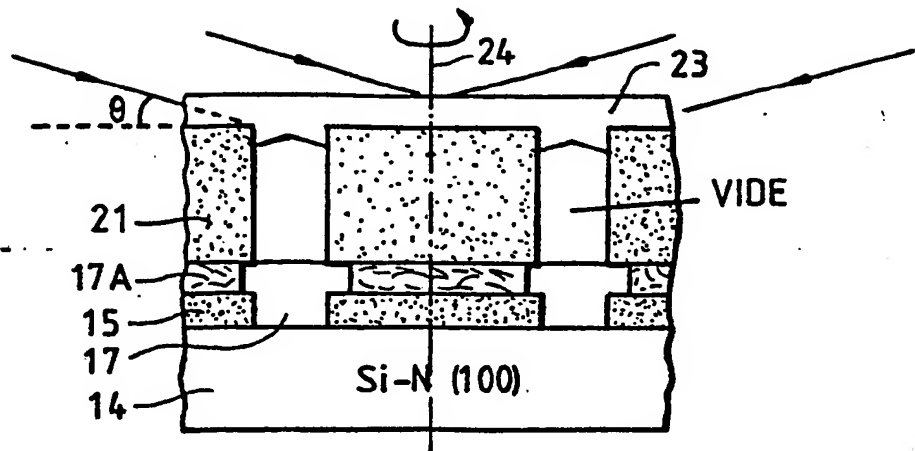


FIG. 8

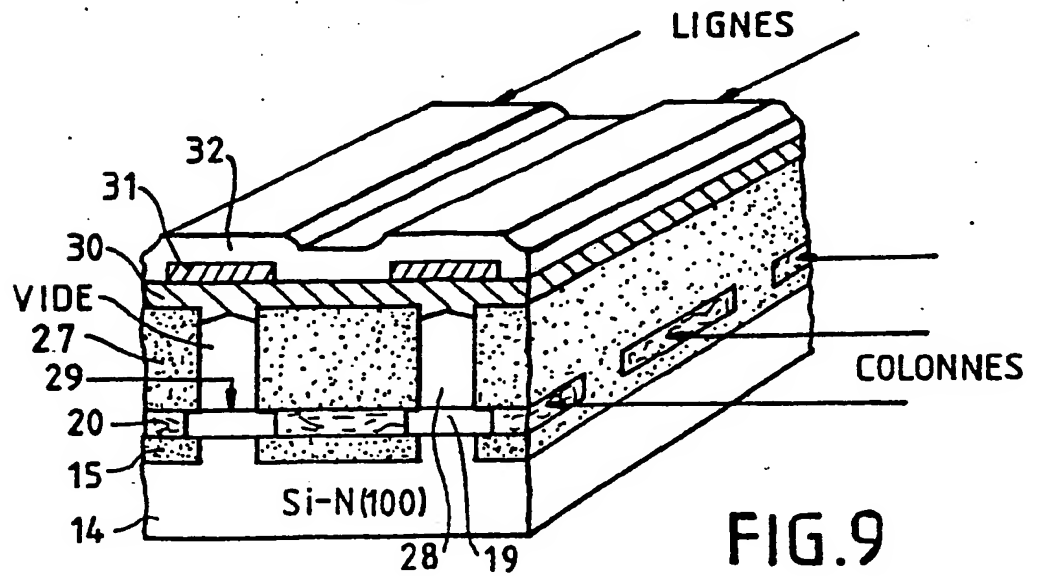
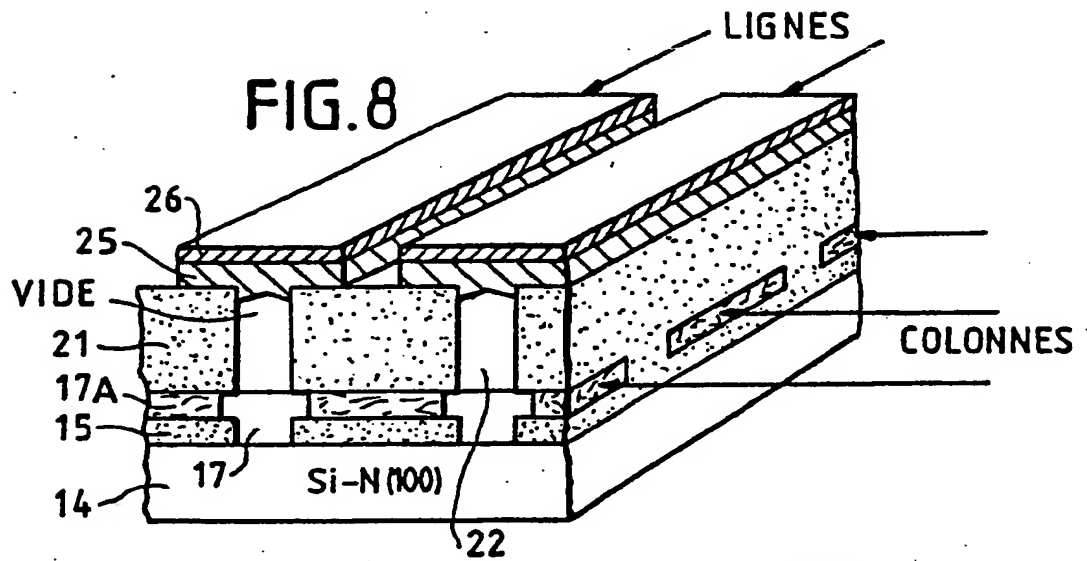


FIG. 9



Office européen  
des brevets

# RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 89 40 2538

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. CL5)
A	JP-A-63 187 535 (CANON) * Figures 1,3 * & PATENT ABSTRACTS OF JAPAN, vol. 12, no. 465 (E-690)[3312], 7 décembre 1988 ---	1,3,5	H 01 J 21/10 H 01 J 31/12 H 01 J 9/02 H 01 J 1/30
A	PATENT ABSTRACTS OF JAPAN, vol. 12, no. 215 (E-623)[3062], 18 juin 1988, page 51 E 623; & JP-A-63 10 428 (CANON INC.) 18-01-1988 * Résumé * ---	1	
A	EP-A-0 278 405 (CANON K.K.) * Figures 48,49; colonnes 57-59 * ---	1,3,5, 10	
A	US-A-3 921 022 (LEVINE) * Figure 13; colonne 4, lignes 26-48 * ---	1,9,29	
A	DE-A-3 224 218 (ROCKWELL INTERNATIONAL) * Figures 4a,4b,7,9; page 22, dernier alinéa - page 24, fin; page 29, alinéa 4; page 30, alinéa 2 * ---	1-4	
P,X	EP-A-0 306 173 (GENERAL ELECTRIC) * Figures 16,17; colonne 6, ligne 5 - colonne 7, ligne 25 * ---	1,10	
A	US-A-4 721 885 (BRODIE) * Figures; colonne 4, lignes 31-35 * -----	1,10	
Le présent rapport a été établi pour toutes les revendications			
Lien de la recherche LA HAYE		Date d'achèvement de la recherche 03-01-1990	Examineur SCHAUB G.G.
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons ----- & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

### **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**